

PATENT
81876.0055
Express Mail Label No. EV 325 216 690 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Koichi MIYANAGA et al.

Serial No: Not assigned

Filed: July 2, 2003

For: STABILIZED POWER SUPPLY UNIT
HAVING A CURRENT LIMITING
FUNCTION

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

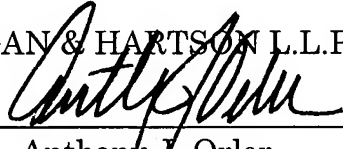
Enclosed herewith is a certified copy of Japanese patent application No. 2002-198280 which was filed July 8, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: July 2, 2003

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 8日

出 願 番 号

Application Number:

特願2002-198280

[ST.10/C]:

[JP2002-198280]

出 願 人

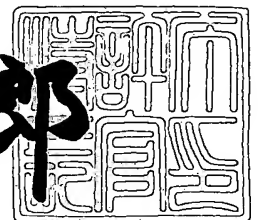
Applicant(s):

ローム株式会社

2003年 4月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3029670

【書類名】 特許願

【整理番号】 02-00176

【提出日】 平成14年 7月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 1/56

【発明の名称】 電流制限機能付き安定化電源装置

【請求項の数】 4

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 宮長 晃一

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 石川 裕之

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100083231

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミネルバ国際特許事務所

【弁理士】

【氏名又は名称】 紋田 誠

【選任した代理人】

【識別番号】 100112287

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミネルバ国際特許事務所

【弁理士】

【氏名又は名称】 逸見 輝雄

【手数料の表示】

【予納台帳番号】 016241

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901021

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流制限機能付き安定化電源装置

【特許請求の範囲】

【請求項 1】 出力電圧に応じた出力帰還電圧と基準電圧との差に応じた電圧制御信号を出力する電圧制御回路と、

この電圧制御信号により制御され、前記出力電圧を出力する出力回路と、

この出力回路の出力電流を検出して、この出力電流が所定値を越えたときに、出力電流を所定値に制限させるための電流制限信号を発生する電流制限回路と、を有する電流制限機能付き安定化電源装置において、

前記電流制御回路は、低速応答型の第 1 電流制限回路と、この第 1 電流制限回路の利得より低利得で、かつ高速応答型の第 2 電流制限回路とを含んで構成されていることを特徴とする、電流制限機能付き安定化電源装置。

【請求項 2】 前記出力回路は、電源と出力端子間に配置された出力トランジスタを有し、前記電圧制御信号により前記出力トランジスタの制御をおこなって、定電圧の出力電圧を出力することを特徴とする、請求項 1 記載の電流制限機能付き安定化電源装置。

【請求項 3】 前記第 1 電流制限回路及び前記第 2 電流制限回路のそれぞれは、前記出力トランジスタと同一タイプ、同一導電型の電流検出トランジスタを有し、前記電圧制御信号により前記電流検出トランジスタを制御して、それぞれ前記出力電流に比例させるようにした検出電流を得ることを特徴とする、請求項 2 記載の電流制限機能付き安定化電源装置。

【請求項 4】 前記第 1 電流制限回路は、前記電流検出トランジスタの検出電流に対して、遅延応答する電流検出信号を発生する電流検出信号形成手段と、この電流検出信号が制御信号として印加される電流制限信号発生用トランジスタとを含んで、高利得、低速応答の第 1 電流制限信号を発生し、

前記第 2 電流制限回路は、前記電流検出トランジスタの検出電流に対して、直ちに応答する電流検出信号を発生する電流検出信号形成手段と、この電流検出信号が制御信号として印加される電流制限信号発生用トランジスタと抵抗との直列回路を含んで、低利得、高速応答の第 2 電流制限信号を発生することを特徴とす

る、請求項 3 記載の電流制限機能付き安定化電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、負荷への出力電流が変動しても出力電圧を一定に維持するとともに、その出力電流が過大にならないように制限を行う、電流制限機能付き安定化電源装置に関する。

【0002】

【従来の技術】

このような電流制限機能付きの安定化電源装置は、簡便な電源として用いられることが多いシリーズレギュレータや、電池などの充電に用いられる定電圧充電装置等に広く使用されている。

【0003】

図 5 は、従来の電流制限機能が付加されたシリーズレギュレータの構成を示す図である。

【0004】

この図 5 のシリーズレギュレータは、電圧制御回路 10 と、出力回路 20 と、電流制限回路 30 とから構成され、IC チップに作り込まれる。

【0005】

電圧制御回路 10 は、差動増幅器 A m p、分圧抵抗器 R 1 1、R 1 2 とが設けられる。差動増幅器 A m p の一入力（反転入力）に出力電圧を設定するための基準電圧 V r e f が入力され、他入力（非反転入力）に出力電圧を分圧抵抗器 R 1 1、R 1 2 によって分圧した出力帰還電圧 V f b が入力される。そして、その二入力の差が差動増幅器 A m p で増幅され、制御電圧 V c が電圧制御回路 10 から出力される。なお、11 は、差動増幅器 A m p に定電流を供給するための定電流源である。

【0006】

出力回路 20 には、電源電位 V d d 点と出力端子 P o 間に、P 型 M O S トランジスタ（以下、P 型トランジスタ）で構成される出力トランジスタ Q 2 1 が設け

られ、そのゲートに制御電圧 V_c が印加される。出力端子 P_o には、負荷側に負荷 L_o や安定化用のコンデンサ C_o などが接続される。

【 0 0 0 7 】

電流制限回路 30 は、電源電位点とグランド間に直列に、P型トランジスタの電流検出用トランジスタ Q_{31} と検出抵抗 R_{31} とが、この順序で接続される。また、検出抵抗 R_{31} の降下電圧がゲートに印加される、N型MOSトランジスタ（以下、N型トランジスタ） Q_{32} が設けられ、このN型トランジスタ Q_{32} の動作状態に応じて、電圧制御回路 10 の定電圧制御動作が規制される。

【 0 0 0 8 】

検出トランジスタ Q_{31} は、出力トランジスタ Q_{21} と同一ICチップ中にそのサイズが所定比で小さくなるように作り込まれている。そして、N型トランジスタ Q_{31} のゲートに出力トランジスタ Q_{21} へのゲート電圧と同じ制御電圧 V_c が印加される。これにより、N型トランジスタ Q_{31} には出力トランジスタ Q_{21} に流れる出力電流 I_o にほぼ比例（例えば、 $1/100$ ）した検出電流 I_o' が流れる。この検出電流 I_o' による検出抵抗 R_{31} の降下電圧によってN型トランジスタ Q_{32} の動作状態が定まる。N型トランジスタ Q_{32} の動作閾値は、出力電流（即ち、負荷電流） I_o が過電流保護設定値 I_{s0} に至ったときに相当するように、各条件（出力電流 I_o と検出電流 I_o' との比、検出抵抗 R_{31} の抵抗値、N型トランジスタ Q_{32} の特性など）が設定されている。

【 0 0 0 9 】

この従来のシリーズレギュレータの動作を、その出力電圧 V_o - 出力電流 I_o 特性を示す図 6 をも参照して説明する。出力電流 I_o が過電流に至らない通常の状態では、電圧制御回路 10 は、出力帰還電圧 V_{fb} が基準電圧 V_{ref} に等しくなるように動作して、そのための制御電圧 V_c を出力する。出力回路 20 の出力トランジスタ Q_{21} のゲートにその制御電圧 V_c が印加されて、出力電圧 V_o は所定の設定電圧 V_s に制御される。この定電圧制御動作は、出力電流 I_o が過電流保護設定値 I_{s0} に達するまでは、出力電流 I_o の大きさには関係なく、常に安定して行われる。

【 0 0 1 0 】

このとき、検出トランジスタ $Q31$ には、検出電流 I_o' が流れているが、それによる検出抵抗 $R31$ の降下電圧はN型トランジスタ $Q32$ の動作閾値に達することはなく、定電圧制御動作に何らの影響も与えない。

【0011】

出力電流 I_o が過電流保護設定値 I_{s0} に達すると、検出抵抗 $R31$ の降下電圧がN型トランジスタ $Q32$ の動作閾値になる。したがって、出力電流 I_o が過電流保護設定値 I_{s0} より大きくなると、N型トランジスタ $Q32$ が動作する。電圧制御回路10の制御動作は、電流制限動作が優先されるから、出力電圧 V_o はほぼ垂直に近い形で立ち下がる。この意味で、この保護特性は垂下型過電流保護特性である。出力電圧 V_o が下がりきってゼロになる電流 I_{s1} は、その電流制限動作の利得（制御ゲイン）に応じて、過電流保護設定値 I_{s0} よりある程度大きい値になる。

【0012】

このように、常時は出力電圧 V_o が設定電圧 V_s になるように定電圧制御し、出力電流 I_o が所定値（過電流保護設定値 I_{s0} ）より大きくなるときには自動的に電流制限される。

【0013】

【発明が解決しようとする課題】

過電流保護設定値 I_{s0} と電流 I_{s1} との間は過電流領域 α となるから、出力トランジスタ $Q21$ は、過電流領域 α の上限値である電流 I_{s1} を流し続けるだけの電流能力を持つ必要がある。したがって、過電流領域 α はできるだけ小さい値が良く、理想的にはゼロにすることがシリーズレギュレータの設計上望ましい。

【0014】

しかし、シリーズレギュレータの負荷側にコンデンサ C_o が設けられている場合には、過電流領域 α を小さくすると、起動時のコンデンサ C_o への突入電流により、発振状態を引き起こしてしまうことになる。つまり、起動時にはコンデンサ C_o の充電電圧、即ち出力電圧 V_o は零であるから、まず出力トランジスタ $Q21$ が完全導通し、大きな突入電流が流れる（或いは、流れようとする）。この

突入電流を検出して電流制限回路 3 0 が動作して、出力トランジスタ Q 2 1 をオフする。この時点では出力電圧 V_o はまだほぼ零であるから、再び出力トランジスタ Q 2 1 が完全導通し、大きな突入電流が流れ、さらに電流制限回路 3 0 が動作する。このようにして、シリーズレギュレータの制御が発振状態に陥り、出力電圧 V_o の立ち上げがスムーズに行われなない。また、この発振状態が、シリーズレギュレータの各構成要素に振動などの悪影響を与えたり、周囲への雑音発生源になる、等の問題がある。

【 0 0 1 5 】

また、電流制限回路 3 0 を、発振マージンのある低速応答型のものにすることも考えられる。この場合には、発振状態は避けられるものの、起動時の突入電流を抑えることができないから、突入電流によりコンデンサ C o や出力トランジスタ Q 2 1 の特性劣化を招く、等の問題がある。

【 0 0 1 6 】

そこで、本発明は、過電流垂下特性を急峻にして過電流領域を小さくするとともに、起動時の発振を防止し、かつ起動時の突入電流を所定範囲に制限することができる、電流制限機能付き安定化電源装置を提供することを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

請求項 1 記載の電流制限機能付き安定化電源装置は、出力電圧 V_o に応じた出力帰還電圧 V_{fb} と基準電圧 V_{ref} との差に応じた電圧制御信号 V_c を出力する電圧制御回路 1 0 と、

この電圧制御信号 V_c により制御され、前記出力電圧 V_o を出力する出力回路 2 0 と、

この出力回路 2 0 の出力電流 I_o を検出して、この出力電流 I_o が所定値を越えたときに、出力電流 I_o を所定値に制限させるための電流制限信号を発生する電流制限回路 3 0 A と、を有する電流制限機能付き安定化電源装置において、

前記電流制御回路 3 0 A は、低速応答型の第 1 電流制限回路 4 0 と、この第 1 電流制限回路の利得より低利得で、かつ高速応答型の第 2 電流制限回路 5 0 とを含んで構成されていることを特徴とする。

【 0 0 1 8 】

請求項 2 記載の電流制限機能付き安定化電源装置は、請求項 1 記載の電流制限機能付き安定化電源装置において、前記出力回路 2 0 は電源と出力端子間に配置された出力トランジスタ Q 2 1 を有し、前記電圧制御信号 V c により前記出力トランジスタを制御して、定電圧の出力電圧 V o を出力することを特徴とする。

【 0 0 1 9 】

請求項 3 記載の電流制限機能付き安定化電源装置は、請求項 2 記載の電流制限機能付き安定化電源装置において、前記第 1 電流制限回路 4 0 及び前記第 2 電流制限回路 5 0 のそれぞれは、前記出力トランジスタ Q 2 1 と同一タイプ、同一導電型の電流検出トランジスタ Q 4 1、Q 5 1 を有し、前記電圧制御信号 V c により前記電流検出トランジスタ Q 4 1、Q 5 1 を制御して、それぞれ前記出力電流 I o に比例させるようにした検出電流 I o ' を得ることを特徴とする。

【 0 0 2 0 】

請求項 4 記載の電流制限機能付き安定化電源装置は、請求項 3 記載の電流制限機能付き安定化電源装置において、前記第 1 電流制限回路 4 0 は、前記電流検出トランジスタ Q 4 1 の検出電流 I o ' に対して、遅延応答する電流検出信号を発生する電流検出信号形成手段 R 4 1、R 4 2、C 4 1 と、この電流検出信号が制御信号として印加される電流制限信号発生用トランジスタ Q 4 2 とを含んで、高利得、低速応答の第 1 電流制限信号を発生し、

前記第 2 電流制限回路 5 0 は、前記電流検出トランジスタ Q 5 1 の検出電流 I o ' に対して、直ちに応答する電流検出信号を発生する電流検出信号形成手段 R 5 1 と、この電流検出信号が制御信号として印加される電流制限信号発生用トランジスタ Q 5 1 と抵抗 R 5 2 との直列回路を含んで、低利得、高速応答の第 2 電流制限信号を発生することを特徴とする。

【 0 0 2 1 】

本発明の電流制限機能付き安定化電源装置によれば、通常動作時に負荷電流が増加し所定値に達した場合には、高利得で低速応答型の第 1 電流制限回路 4 0 が動作するから、急峻な過電流垂下特性を得て、過電流領域 α を小さくできる。これにより、出力トランジスタ Q 2 1 の過電流耐量をほぼ電流制限すべき所定値に

低減することできる。また、負荷側のコンデンサによる起動時の突入電流が流れた場合には、低利得で高速応答型の第2電流制限回路50が動作するから、起動時の発振を防止しつつ、突入電流を所定範囲内に制限する。

【0022】

また、第1及び第2電流制限回路40、50では、電圧制御信号 V_c により制御される電流検出トランジスタ Q_{41} 、 Q_{51} により出力電流 I_o を検出するから、出力回路20には電流検出素子（例えば、抵抗）は挿入されない。したがって、2つの電流制限回路を設けても、出力回路の電圧降下や損失は全く増加することはない。

【0023】

また、高利得、低速応答の第1電流制限信号や低利得、高速応答の第2電流制限信号を発生するのに、抵抗及びコンデンサ、或いは抵抗を用いるだけで良いから、容易に構成することができる。

【0024】

【発明の実施の形態】

以下、図面を参照して本発明の電流制限機能付き安定化電源装置について説明する。図1は、本発明の実施の形態に係るシリーズレギュレータの構成を示す図であり、図2は、出力電圧 V_o －出力電流 I_o の特性図であり、また、図3は、起動時の出力電圧 V_o と出力電流 I_o の時間変化を概略的に説明する図である。

【0025】

この図1のシリーズレギュレータは、電圧制御回路10と、出力回路20と、電流制限回路30Aとから構成され、ICチップに作り込まれる。

【0026】

電圧制御回路10は、差動増幅器 A_{mp} 、分圧抵抗器 R_{11} 、 R_{12} とが設けられる。差動増幅器 A_{mp} の一入力（非反転入力）に出力電圧を設定するための基準電圧 V_{ref} が入力され、他入力（反転入力）に出力電圧を分圧抵抗器 R_{11} 、 R_{12} によって分圧した出力帰還電圧 V_{fb} が入力され、その二入力の差が差動増幅器 A_{mp} で増幅される。その増幅出力 V_e が、図のように抵抗 R_{13} と直列接続されたN型トランジスタ Q_{11} のゲートに印加され、反転されて電圧制

御信号（以下、制御電圧） V_c として出力される。また、その増幅出力 V_e が、電流制限回路30Aからの電流制限信号によって制御される。なお、11は定電流源である。

【0027】

出力回路20は、従来の図5におけるものと同様である。

【0028】

電流制限回路30Aは、第1電流制限信号を発生する第1電流制限回路40と第2電流制限信号を発生する第2電流制限回路50とから構成される。

【0029】

第1電流制限回路40は、電源電位 V_{dd} 点とグランド間に直列に、P型トランジスタの電流検出用トランジスタ Q_{41} と検出抵抗 R_{41} とが、この順序で接続される。この検出抵抗 R_{41} に抵抗 R_{42} とコンデンサ C_{41} の直列回路が並列に接続され、抵抗 R_{42} とコンデンサ C_{41} との接続点から第1電流検出信号が出力される。これら抵抗 R_{41} 、 R_{42} 、コンデンサ C_{41} で電流検出信号形成手段が構成される。

【0030】

検出トランジスタ Q_{41} は、従来の図5の検出トランジスタ Q_{31} と同様に構成されている。したがって、出力トランジスタ Q_{21} に流れる出力電流 I_o に比例した検出電流 I_o' が、抵抗 R_{41} 、 R_{42} 、コンデンサ C_{41} からなる低域ろ波フィルタに流れる。したがって、第1電流検出信号は検出電流 I_o' の変化に対して遅延される。

【0031】

そして、電流制限信号発生用N型トランジスタ Q_{42} が設けられ、そのゲートとソース間に第1電流検出信号が印加され、このN型トランジスタ Q_{42} の動作状態に応じて、第1電流制限信号が出力される。したがって、第1電流制限回路40は、高利得でかつ低速応答である。

【0032】

第2電流制限回路50は、電源電位 V_{dd} 点とグランド間に直列に、P型トランジスタの電流検出用トランジスタ Q_{51} と、電流検出信号形成手段を構成する

検出抵抗 R_{51} とが、この順序で接続される。

【 0 0 3 3 】

検出トランジスタ Q_{51} は、検出トランジスタ Q_{41} と同様に構成されている。したがって、出力トランジスタ Q_{21} に流れる出力電流 I_o に比例した検出電流 I_o' が、抵抗 R_{51} に流れる。したがって、第 2 電流検出信号は検出電流 I_o' に対して、遅延することなく直ちに応答する。なお、各検出トランジスタ Q_{41} 、 Q_{51} に流れる検出電流 I_o' は、同じ大きさである必要はない。

【 0 0 3 4 】

そして、電流制限信号発生用 N 型トランジスタ Q_{52} と抵抗 R_{52} とが直列に設けられ、N 型トランジスタ Q_{52} のゲートと抵抗 R_{52} 間（即ち、そのゲートとグランド間）に第 2 電流検出信号が印加される。この N 型トランジスタ Q_{52} の動作状態に応じて、第 2 電流制限信号が出力される。このように、N 型トランジスタ Q_{52} のゲート・ソース間と抵抗 R_{52} とに跨って第 2 電流検出信号が印加されるから、第 2 電流制限回路 50 は、第 1 電流制限回路 40 とは逆に、低利得でかつ高速応答である。

【 0 0 3 5 】

これら第 1 電流制限信号と第 2 電流制限信号とが共通に結合されて、電流制限信号となり、差動増幅器 A_{mp} の増幅出力 V_e を調整するように構成されている。

【 0 0 3 6 】

この図 1 のシリーズレギュレータの動作を、その出力電圧 V_o - 出力電流 I_o 特性を示す図 2、及び起動時の出力電圧 V_o と出力電流 I_o の時間変化を示す図 3 をも参照して説明する。

【 0 0 3 7 】

出力電流 I_o が過電流に至らない通常の状態では、電圧制御回路 10 は、図 5 の従来のもと同様に動作する。したがって、その定電圧制御動作は、出力電流 I_o が過電流保護設定値 I_{s0} に達するまでは、出力電流 I_o の大きさには関係なく、常に安定して行われる。

【 0 0 3 8 】

このとき、第1電流制限回路40の検出トランジスタQ41、及び、第2電流制限回路50の検出トランジスタQ51には、検出電流 I_o' が流れているが、それによる検出抵抗R41、R51の降下電圧はN型トランジスタQ42、Q52の動作閾値に達することではなく、定電圧制御動作に何らの影響も与えない。

【0039】

通常動作時に負荷が増加して、出力電流 I_o が過電流保護設定値 I_{s0} に達すると、第1電流制限回路40の検出抵抗R41の降下電圧がN型トランジスタQ42の動作閾値になる。この場合に出力電流 I_o の増加はそれほど変化が大きくないので、コンデンサC41の充電電圧も検出抵抗R41の降下電圧の増加につれて、増加する。したがって、出力電流 I_o が過電流保護設定値 I_{s0} より大きくなると、N型トランジスタQ42が動作して、第1電流制限信号が発生される。

【0040】

N型トランジスタQ42の動作により、増幅出力 V_e が低下する方向に変化し、制御電圧 V_c が増加するから、出力トランジスタQ21の導通度が制限されるように動作し、出力電圧 V_o が低下し、出力電流 I_o が制限される。

【0041】

このとき、第2電流制限回路50は、第1電流制限回路40よりも低利得であるので、第1電流制限回路40の特性によりマスクされて動作せず、第2電流制限信号は発生されない。

【0042】

このようにして、電圧制御回路10の制御動作は、高利得の第1電流制限回路40により電流制限動作が行われ、出力電圧 V_o はほぼ垂直に近い形で立ち下がる。このとき、出力電圧 V_o が下がりきってゼロになる電流 I_{s1} は、その電流制限動作の利得（制御ゲイン）が高いから、過電流保護設定値 I_{s0} より少しだけ大きい値になる。その過電流領域 α は小さい値に設定できるから、出力トランジスタQ21は、ほぼ過電流保護設定値 I_{s0} を継続して流せるだけの電流能力をもてばよい。

【0043】

つぎに、起動時にコンデンサ C_o への突入電流が出力電流として流れる場合の動作について説明する。

【 0 0 4 4 】

起動時には、コンデンサ C_o の充電電圧は零であるから、出力電圧 V_o もほぼ零である。起動して、突入電流が流れると、この突入電流に比例した検出電流 I_o' が、第 1 電流制限回路 40 のトランジスタ Q_{41} と、第 2 電流制限回路 50 のトランジスタ Q_{51} にそれぞれ流れる。

【 0 0 4 5 】

第 1 電流制限回路 40 は、高利得ではあるが低速応答タイプであるから、突入電流には応答できない。

【 0 0 4 6 】

第 2 電流制限回路 50 は、低利得ではあるが高速応答タイプであるから、突入電流による出力電流 I_o が、過電流保護設定値 I_{s0} より大きく設定されている電流 I_{s2} (I_{s0} より β だけ大きい) を越えると、N 型トランジスタ Q_{52} が動作して、第 2 電流制限信号が発生される。

【 0 0 4 7 】

N 型トランジスタ Q_{52} の動作により、増幅出力 V_e が低下する方向に変化し、制御電圧 V_c が増加するから、出力トランジスタ Q_{21} の導通度が制限されるように動作し、出力電圧 V_o が低下し、出力電流 I_o が制限される。

【 0 0 4 8 】

これにより、図 3 に示されるように、出力電流 I_o は、時点 t_1 において電流制限が行われないうちにピーク電流 I_x (図中に、破線で示している) が流れるところを、それより低い電流 I_{s2} に制限される。その後、コンデンサ C_o が充電されるにしたがって、出力電圧 V_o が緩やかに設定電圧 V_s に向けて上昇し、出力電流 I_o は徐々に減少して所要の負荷電流に落ち着く。

【 0 0 4 9 】

この場合、第 2 電流制限回路 50 は、低利得で高速応答タイプに構成されているから、過電流保護設定値 I_{s0} や電流 I_{s1} より大きい電流 I_{s2} で電流制限が行われるとともに、この電流制限による発振状態を避けることができる。

【 0 0 5 0 】

なお、図 1 の実施の形態において、シリーズレギュレータの通常動作時に負荷側で短絡故障が発生したときには、やはり第 2 電流制限回路 5 0 により直ちに電流制限動作が行われるとともに、第 1 電流制限回路 4 0 が少し遅れて電流制限動作を行うから、問題なく保護動作が行われる。

【 0 0 5 1 】

図 4 は、本発明のその他の実施の形態に係り、電流制限回路 3 0 B の構成を示す図である。なお、電圧制御回路 1 0 、出力回路 2 0 は、図 1 と同様である。

【 0 0 5 2 】

図 4 において、電流制限回路 3 0 B は、図 1 の電流制限回路 3 0 A とは、電流検出トランジスタ Q 5 1 を削除し、その代わりにセレクトア S e 1 を設けている点で異なっている。その他の構成は同じである。

【 0 0 5 3 】

このセレクトア S e 1 は、検出抵抗 R 4 1 の降下電圧を、高利得で低速動作タイプの第 1 電流制限回路側に加えるか、或いは、低利得で高速動作タイプの第 2 電流制限回路側に加えるかを、選択的に切り換えるものである。

【 0 0 5 4 】

その切換は、起動時には第 2 電流制限回路側を選択し、通常動作時には第 1 電流制限回路側を選択するように行われる。その切換信号は起動信号を利用して起動後の一定時間だけ低利得で高速動作タイプの第 2 電流制限回路側を選択するようにすればよい。

【 0 0 5 5 】

この切換によっても、通常時及び起動時とも、図 1 の第 1 実施の形態と同様の効果を得ることができる。

【 0 0 5 6 】

なお、電流制限回路 3 0 A 或いは電流制限回路 3 0 B の電流制限信号により、増幅出力 V e を制御するのに代えて、基準電圧 V r e f 或いは出力帰還電圧 V f b のいずれかを調整して、出力電流 I o の制限を行うようにしても良い。

【 0 0 5 7 】

具体的には、別に設けた定電流回路の電流値を電流制限信号により制御し、この電流を分割抵抗 R_{11} 、或いは R_{12} に流すことにより、出力帰還電圧 V_{fb} を調整する。或いは、電流制限信号に応じて変化されるオフセット電圧を発生し、このオフセット電圧を基準電圧 V_{ref} 或いは出力帰還電圧 V_{fb} に加減算する。このように、差動増幅器 A_{mp} の入力側で、電流制限信号に応じて基準電圧 V_{ref} 或いは出力帰還電圧 V_{fb} を制御することによって、電流制限動作を行わせる。

【0058】

この場合には、電流制限動作中に差動増幅器 A_{mp} が出力限界状態（飽和状態）になることが避けられる。したがって、過電流制限状態からの復帰動作がスムーズに行われる。

【0059】

【発明の効果】

本発明の電流制限機能付き安定化電源装置によれば、通常動作時に負荷電流が増加し所定値に達した場合には、高利得で低速応答型の第1電流制限回路が動作するから、急峻な過電流垂下特性を得て、過電流領域を小さくできる。これにより、出力トランジスタの過電流耐量をほぼ電流制限すべき所定値に低減することができる。また、負荷側のコンデンサによる起動時の突入電流が流れた場合には、低利得で高速応答型の第2電流制限回路が動作するから、起動時の発振を防止しつつ、突入電流を所定範囲内に制限することができる。

【0060】

また、第1及び第2電流制限回路では、電圧制御信号 V_c により制御される電流検出トランジスタにより出力電流を検出するから、出力回路には電流検出素子（例えば、抵抗）は挿入されない。したがって、2つの電流制限回路を設けても、出力回路の電圧降下や損失は全く増加することはない。

【0061】

また、高利得、低速応答の第1電流制限信号や低利得、高速応答の第2電流制限信号を発生するのに、抵抗及びコンデンサ、或いは抵抗を用いるだけで良いから、容易に構成することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係るシリースレギュレータの構成を示す図。

【図 2】

本発明に係る、出力電圧－出力電流の特性図。

【図 3】

本発明に係る、起動時の出力電圧と出力電流の時間変化を概略的に説明する図。

【図 4】

本発明の他の実施の形態に係る、電流制限回路の構成を示す図。

【図 5】

従来の電流制限機能付きシリースレギュレータの構成を示す図。

【図 6】

従来のシリースレギュレータの出力電圧－出力電流の特性図。

【符号の説明】

1 0 電圧制御回路

1 1 定電流源

2 0 出力回路

3 0、3 0 A、3 0 B 電流制限回路

4 0 第 1 電流制限回路

5 0 第 2 電流制限回路

A m p 差動増幅器

Q 2 1、Q 3 1、Q 4 1、Q 5 1 P型トランジスタ

Q 1 1、Q 3 2、Q 4 2、Q 5 2 N型トランジスタ

R 1 1、R 1 2、R 1 3、R 3 1、R 4 1、R 4 2、R 5 1、R 5 2 抵抗

s e l セレクタ

P o 出力端子

V o 出力電圧

I o 出力電流

I_o' 検出電流

V_{ref} 基準電圧

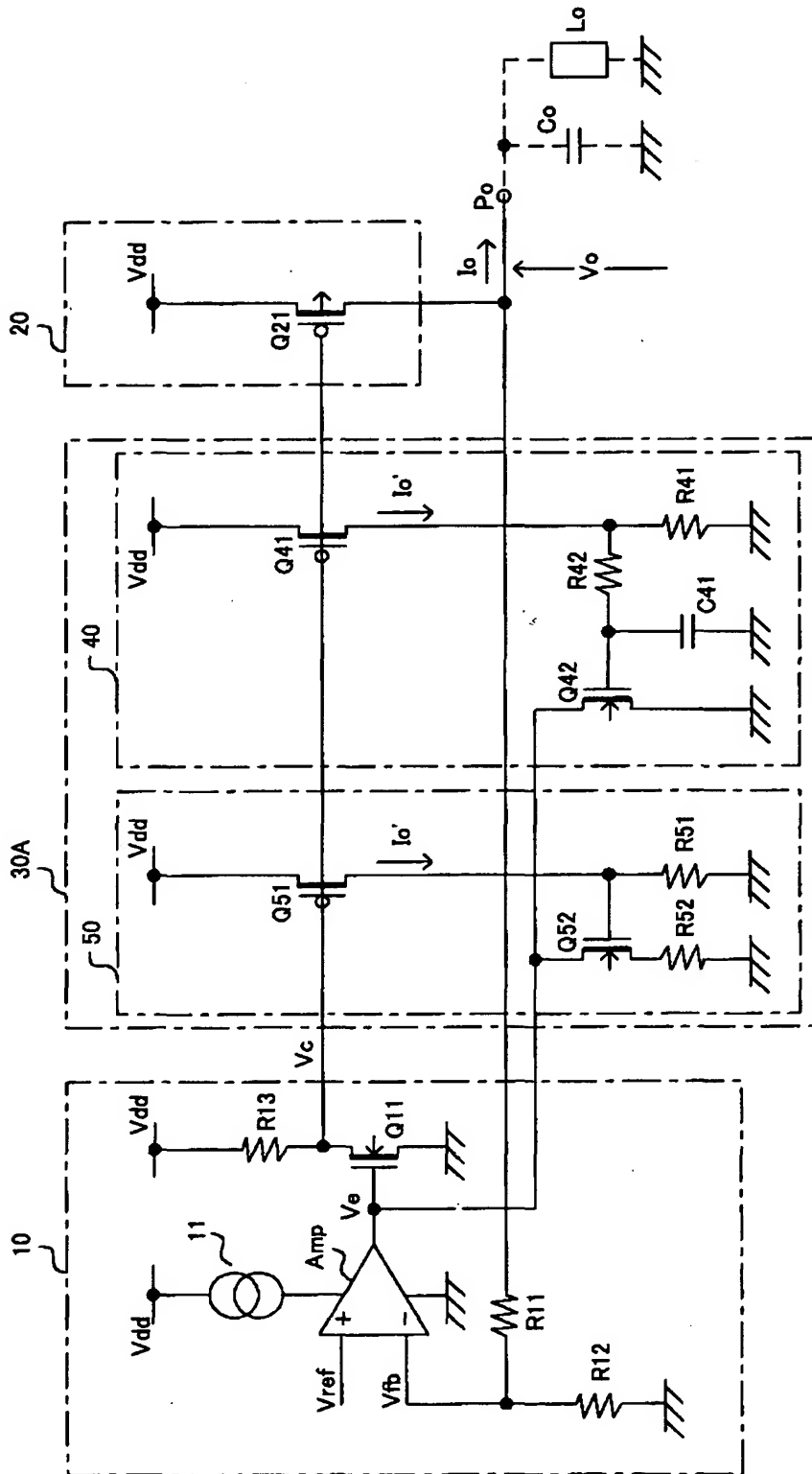
V_{fb} 出力帰還電圧

V_e 増幅出力

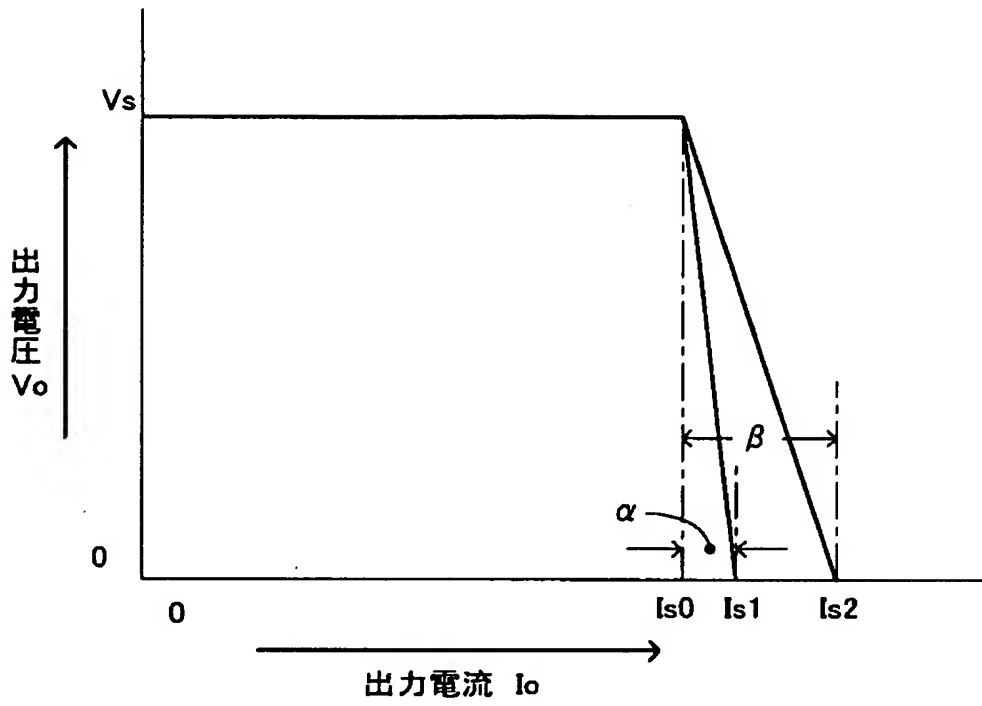
V_c 制御電圧

【書類名】 図面

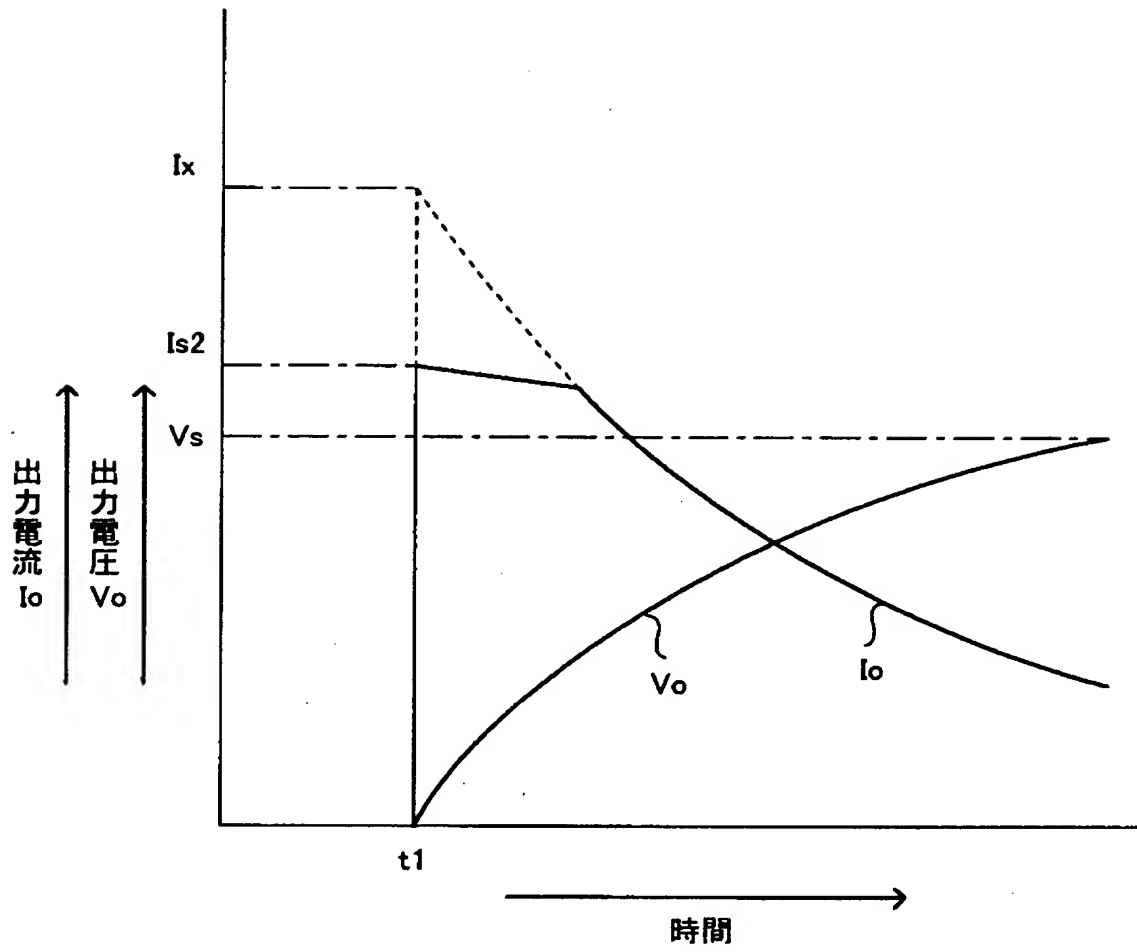
【図 1】



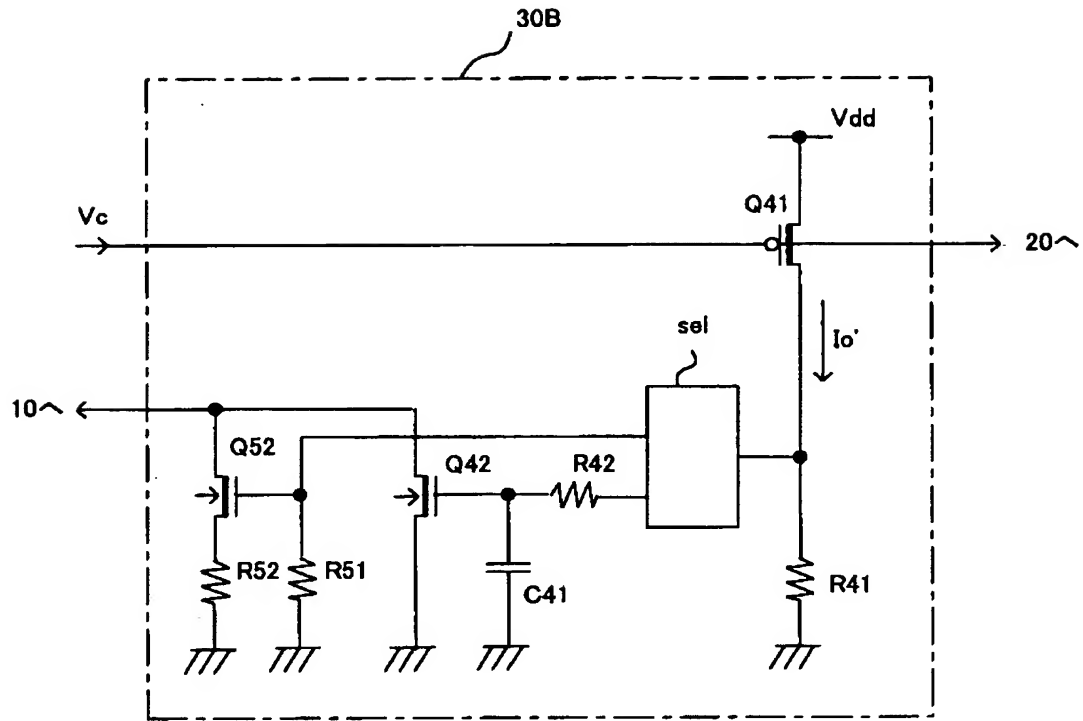
【図 2】



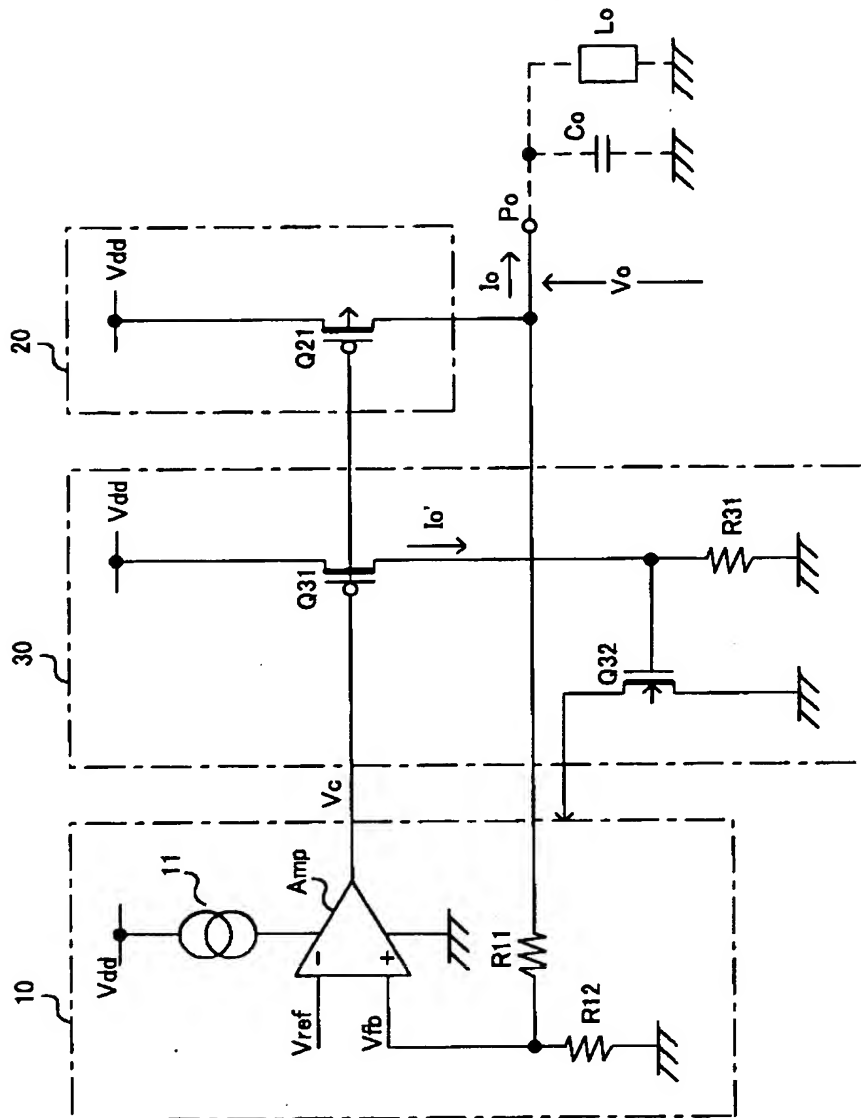
【図 3】



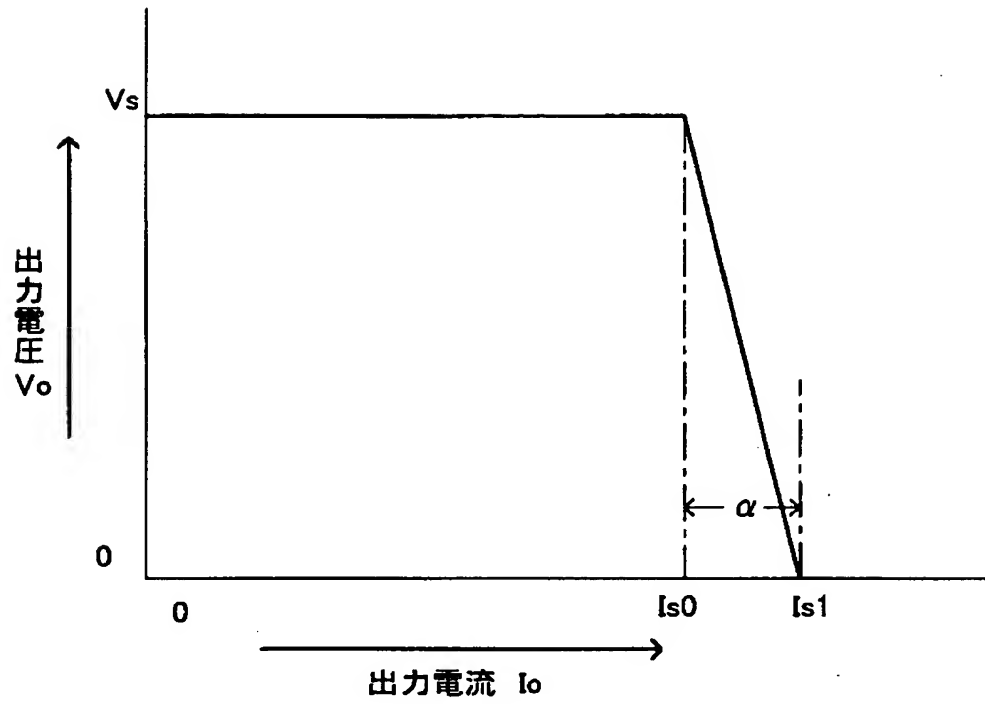
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 電流制限機能付き安定化電源装置において、過電流垂下特性を急峻にして過電流領域を小さくするとともに、起動時の発振を防止し、かつ起動時の突入電流を所定範囲に制限する。

【解決手段】 出力電圧 V_o に応じた出力帰還電圧 V_{fb} と基準電圧 V_{ref} との差に応じて出力トランジスタ Q_{21} を制御し、一定の出力電圧 V_o を出力する。この出力回路 20 の出力電流 I_o を検出して、この出力電流 I_o が所定値を越えたときにそれぞれ電流制限信号を発生する、高利得で低速応答型の第 1 電流制限回路 40 と、低利得で高速応答型の第 2 電流制限回路 50 とを設ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 1 6 0 2 4]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	京都府京都市右京区西院溝崎町 2 1 番地
氏 名	ローム株式会社